

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-164343

(43)Date of publication of application : 07.06.2002

(51)Int.Cl. H01L 21/316  
 H01L 21/265  
 H01L 21/822  
 H01L 21/8238  
 H01L 27/04  
 H01L 27/092  
 H01L 29/78

(21)Application number : 2001-262547

(71)Applicant : AGERE SYSTEMS GUARDIAN CORP

(22)Date of filing : 31.08.2001

(72)Inventor : BOURDELLE KONSTANTIN K  
 CHEN YUANNING

(30)Priority

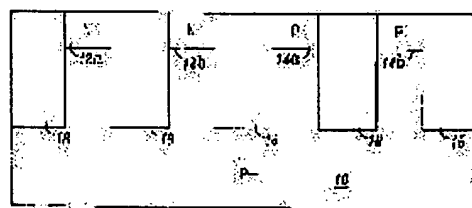
Priority number : 2000 653493 Priority date : 31.08.2000 Priority country : US

## (54) ELECTRONIC CIRCUIT STRUCTURE WITH IMPROVED DIELECTRIC PROPERTIES

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device having improved dielectric properties, and to provide a method of manufacturing the semiconductor device.

SOLUTION: In a CMOS circuit, a number of N-well regions 12 and P-well regions 14 are formed along the upper surface of a layer 10. Regions 12a, 12b, 14a, and 14b are electrically isolated from one another by regions 18. A MOS- type FET can be formed in either of the regions 12 and 14. In a digital circuit, the regions 12 and the regions 14 can be formed for incorporating a CMOS logic circuit. A pair of the N-well regions 12 are formed next to a pair of the P-well regions 14, and MOSFETs are produced in the region 12a and the region 14a. A pad oxidizing film is removed from the upper surface of the layer 10, together with the formed regions 12 and 14, and then a high-quality silicon oxidation film 22 is subjected to thermal growth, until the thickness reaches about 60 Å; on the surface of the layer 10.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision  
of rejection]  
[Date of requesting appeal against examiner's  
decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-164343

(P 2 0 0 2 - 1 6 4 3 4 3 A)

(43) 公開日 平成14年6月7日(2002.6.7)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テマコード (参考)
H01L 21/316		H01L 21/316	P 5F038
21/265		27/08	321 A 5F048
21/822		21/265	Y 5F058
21/8238		27/04	C 5F140
27/04		29/78	301 G

審査請求 未請求 請求項の数24 O L 外国語出願 (全22頁) 最終頁に続く

(21) 出願番号 特願2001-262547 (P 2001-262547)

(22) 出願日 平成13年8月31日(2001.8.31)

(31) 優先権主張番号 09/653493

(32) 優先日 平成12年8月31日(2000.8.31)

(33) 優先権主張国 米国 (US)

(71) 出願人 301030605

アギア システムズ ガーディアン コー  
ポレーションAgere Systems Guard  
ian Corporationアメリカ合衆国, 32819-8698 フロリダ,  
オーランド, サウス ジョン ヤング パ  
ークウェイ 9333

(74) 代理人 100064447

弁理士 岡部 正夫 (外11名)

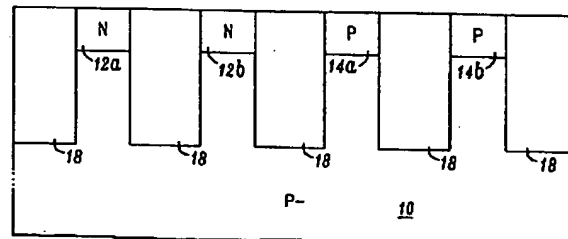
最終頁に続く

(54) 【発明の名称】 改良した誘電特性を有する電子回路構造

(57) 【要約】

【課題】 改良した誘電特性を有する半導体デバイスと半導体デバイスの製造方法を提供する。

【解決手段】 CMOS回路では層10の上表面に沿って、多数のNウエル領域12およびPウエル領域14が形成される。領域12a、12b、14a、および14bは、領域18により、互いに電氣的に分離している。MOS形FETは領域12および領域14のいずれにおいても形成が可能である。デジタル回路において、CMOS論理回路を取り込むために、個々の領域12および領域14を形成することが可能である。Nウエル領域12のペアはPウエル領域14のペアの隣に形成され、そして、MOSFETが領域12aおよび領域14aにおいて製造される。形成された領域12および領域14とともに、層10の上表面はバッド酸化膜が取り除かれ、層10の表面に高品質シリコン酸化膜22が厚さ約60Åまで熱成長を行う。



## 【特許請求の範囲】

【請求項1】 トランジスタの形成に適した半導体層から成り、かつ、該半導体層上に形成された半導体デバイスであって、第一表面とこれに対向する第二表面、第一表面に沿った第一表面領域、第二表面に沿った第二表面領域、および、第一表面領域と第二表面領域との間にある中間領域とを有する絶縁層を有し、該絶縁層の材料は、第一表面沿いよりも中間領域にて濃度の大きい種を含んでいることを特徴とする半導体デバイス。

【請求項2】 種の原子濃度は、第一表面領域よりも中間領域においてより大きく、また、種は、Ba、Ta、Sr、N、およびTiから成るグループから選択される1つあるいはそれ以上の材料から成ることを特徴とする請求項1に記載のデバイス。

【請求項3】 種の原子濃度は第一表面領域および第二表面領域におけるどのような種の濃度よりも中間領域における濃度の方が大きいことを特徴とする請求項2に記載のデバイス。

【請求項4】 第一表面は半導体層沿いに形成されることを特徴とする請求項1に記載のデバイス。

【請求項5】 絶縁層は半導体層沿いに電界効果トランジスタゲート誘電体として機能するよう配置されることを特徴とする請求項1に記載のデバイス。

【請求項6】 第一表面領域、第二表面領域、および中間領域のそれぞれはシリコンと酸素との両方から成り、そして、種の原子濃度は第一表面領域よりも中間領域において大きいことを特徴とする請求項1に記載のデバイス。

【請求項7】 第一表面領域、第二表面領域、および中間領域のそれぞれはシリコンと酸素との両方から成り、そして、種は、第一表面領域における材料のそれに比較し中間領域における材料の誘電定数を上げるように機能することを特徴とする請求項1に記載のデバイス。

【請求項8】 成分種はHfから成ることを特徴とする請求項1に記載のデバイス。

【請求項9】 絶縁層はキャパシタ誘電体として機能するよう配置されることを特徴とする請求項1に記載のデバイス。

【請求項10】 第一表面と第二表面間の種の濃度はガウス分布に従い、かつ、絶縁層の誘電定数は $\text{SiO}_2$ および $\text{SiN}_x$ のそれよりも大きいことを特徴とする請求項1に記載のデバイス。

【請求項11】 絶縁層は、シリコンと、酸素と、そして、Zr、Hf、およびN、かつ、Ta、Ti、Ba、およびSrから成るグループから選択される種とから成ることを特徴とする請求項1に記載のデバイス。

【請求項12】 それに形成された電界効果トランジスタを有する半導体デバイスにおいて、該トランジスタは、半導体層と、半導体層上に形成されたゲート導体層と、半導体層とゲート導体層間に形成された誘電層とか

ら成り、該誘電層は、半導体層とゲート導体層との間に位置した、かつ、半導体層とゲート導体層との両方からスペースをとって離れた中間部分を有しており、さらに該誘電層は、中間部分にピーク濃度を、そして、中間部分と半導体層との間において比較的低い濃度を有する種を含んでいることを特徴とする半導体デバイス。

【請求項13】 種の濃度は、中間部分と、誘電層および半導体層間の界面との間においてゼロ近くまで減少することを特徴とする請求項12に記載のデバイス。

【請求項14】 原子種の濃度は誘電層と半導体層間の界面で約ゼロであることを特徴とする請求項12に記載のデバイス。

【請求項15】 第一表面とこれに対向する第二表面を有する絶縁層から成り、かつ該表面間で濃度を変える種から成ることを特徴とする半導体デバイス。

【請求項16】 種の濃度は第一表面とこれに対向する第二表面間にてガウス分布に従うことを特徴とする請求項15に記載のデバイス。

【請求項17】 さらに、誘電層との物理的界面を確定するために配置された半導体層から成り、ここで、界面における種の濃度はゼロであることを特徴とする請求項15に記載のデバイス。

【請求項18】 絶縁層はシリコンと酸素から成ることを特徴とする請求項15に記載のデバイス。

【請求項19】 化学的に互いに接合された2つあるいはそれ以上の素子から成る絶縁層を形成するステップと、純誘電定数を修正するのに十分な量の追加の種を層に導入するステップとから成る電気回路を形成する方法。

【請求項20】 電気回路は半導体デバイスであり、また、追加の種の導入に先立ち、熱酸化により絶縁層がシリコン層表面に形成され、二酸化シリコンを形成することを特徴とする請求項19に記載の方法。

【請求項21】 追加の種を導入するステップは元素のイオン注入により達成されることを特徴とする請求項19に記載の方法。

【請求項22】 層は、第一表面とこれに対向する第二表面、第一表面に沿った第一表面領域、および、第一表面領域と第二表面との間の中間領域とを含み、また、追加の種を導入するステップは、おもに第一表面領域以外の領域への種の注入により達成されることを特徴とする請求項19に記載の方法。

【請求項23】 おもに層の中間領域への種の注入により、追加の種が導入されることを特徴とする請求項19に記載の方法。

【請求項24】 さらに、中間領域から第一表面領域と第二表面領域方向へ種を拡散するステップを含むことを特徴とする請求項19に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般的に、誘電材料に関するものであり、さらに詳しく言うと、半導体製品を含めた電子回路構造および構成部品において高い誘電定数を有する層の形成に関するものである。

【0002】

【従来の技術】誘電材料は広範囲にわたり様々な電子回路アプリケーションにて使用されている。半導体アプリケーションにおいてはこれら材料はしばしば酸素や窒素と化学的に結合したシリコンから成る。このような誘電材料はコンデンサ素子、電界効果トランジスタのゲート絶縁体、およびメタライゼーションシステムにおける絶縁体として使用される。シリコン酸化膜は、半導体製造において最もよく使用される誘電材料の一つであるが、デバイス幾何学が縮小し続けるにつれ、成分材料に対するパフォーマンス要求は、シリコン酸化膜で可能とするところを超え、増し続けている。従い、代替となる誘電材料が求められる。

【0003】多層メタライゼーションシステムのインターレベル誘電体といった特定のアプリケーションにおいて、絶縁体材料は、シリコン酸化膜と比較して低い誘電定数を有することが望ましい。これら絶縁体は一般的に低k誘電材料である。これとは反対に、コンデンサ素子の電荷蓄積量を増やし、かつ、金属酸化物半導体(MOS)電界効果トランジスタ(FET)における低動作過電圧を可能にするため、これらアプリケーションにおける絶縁体材料は、シリコン酸化膜と比較して高い誘電定数を有することが望ましい。この場合の絶縁体は一般に高k誘電材料となる。

【0004】製造工程の統合とパフォーマンスにおける問題により、シリコン酸化膜に代わって可能とされる高k材料のアプリケーションが厳しく制限される。これは特にFETゲート絶縁体の供給においてより事実となる。すなわち、五酸化タンタルや二酸化チタンといったような絶縁体は比較的高い誘電定数を有するが、これら、かつ他の材料は、シリコンと直接コンタクトする際に熱安定しない。

【0005】近年、様々な高kケイ酸塩誘電体に関して評価がなされ、そのパフォーマンスと、半導体製造工程による集積化に関する適合性について判断評価がなされた。例えば、Wilk等による、1999年5月10日付、Applied Physics Lettersの74巻、No. 19に掲載された"Electrical Properties of Hafnium Silicate Gate Dielectric Deposited directly on Silicon"を参照にされたい。

【0006】

【発明が解決しようとする課題】界面状態および漏れ電流に関する問題は、現在のところ、半導体製品の量産における、ゲートおよびキャパシタ誘電体への上記材料のアプリケーションを妨げている。一般的に、半導体回路の密度が増し続けるにつれ、超々LSI(USLI)ア

プリケーションにおいて高性能ゲートおよびキャパシタ絶縁体を提供するため、納得のいく電気的かつ物理的特性をもたらす高k誘電材料が必要とされている。

【0007】

【発明を解決するための手段】本発明は、第一表面とそれと対向する第二表面とを有し、そして、これら表面間の濃度を変える種から成る絶縁層を有する半導体デバイスを提供する。本発明の一実施形態において、デバイスは、半導体層、ゲート導体層、および、該半導体層と該ゲート導体層との間に形成された誘電層とを有するトランジスタを含んでいる。誘電層は、半導体層とゲート層との間に位置した、かつ、半導体層とゲート層両方からスペースをとって離れた中間部分を有する。誘電層は、中間部分にピーク濃度を、そして中間部分と半導体層との間に比較的低い濃度を有する種を含んでいる。

【0008】本発明に従い、化学的に互いに接合された2つあるいはそれ以上の素子により絶縁体層が形成される電気回路を形成する方法を提供する。望ましい実施形態において、電気回路は半導体デバイスであり、層は二酸化シリコンから成る。層の純誘電定数を修正するのに十分な量の追加の種が絶縁体層に導入される。絶縁層は第一表面とそれと対向する第二表面と、該第一表面に沿った第一表面領域と、該第一表面領域と該第二表面との間の中間領域とを有する。望ましい実施形態において、追加の種を導入するステップは、おもに第一表面領域以外の領域に種を導入することにより達成される。

【0009】

【発明の実施の形態】添付の図面との関連による次の詳細説明により本発明が容易に理解されよう。図1は、本発明の望ましい実施形態に基づく、トランジスタデバイスおよび他の構成要素の形成に適した結晶シリコン半導体材料である、軽く不純物を添加された層10の部分断面図である。相補型金属酸化膜半導体(CMOS)回路では通常そうであるように、層10の上表面に沿って、多数のNウェル領域12およびPウェル領域14が形成されている。図の領域12a、12b、14a、および14bは、例えば従来の処理シーケンスにより形成されたシャロートレンチアイソレーション(浅い溝分離)領域18により、互いに電気的に分離している。MOS形FETは領域12および領域14のいずれにおいても形成が可能である。例えば、デジタル回路において、相補型金属酸化膜半導体論理回路を取り込むために、個々の領域12および領域14をまた別のシーケンスで形成することが可能である。図の例におけるNウェル領域12のペアはPウェル領域14のペアの隣に形成され、そして、MOSFETが領域12aおよび領域14aにおいて製造される。

【0010】形成された領域12および領域14とともに、層10の上表面はバッド酸化膜が取り除かれ、層10の表面に高品質シリコン酸化膜22が厚さ約60Å

(6 nm) まで熱成長を行う。

【0011】図2において、Nウェル部分および隣接するPウェル領域14、上表面24を有する酸化膜層22、およびシリコン層10に形成された反対側の底表面26を示している。酸化膜層22と層10の結晶半導体材料の界面は、後続の処理により構造的に修正されるが、ここでは酸化膜-シリコン界面にあたる。より一般的に、層22が二酸化シリコンではないか、あるいは層10が本質的にシリコン半導体ではない実施形態においては、対応する部分は誘電体-半導体界面となる。

【0012】次に、図3に関して、制御可能な方法で固体層に種を加えるために、イオン注入または他の公知の技法により層22に種27が導入される。種はHfあるいはZrから成ることが最も望ましい。一般的に、導入された種は、上表面24と底表面26間で可変の濃度を有する。厚さ6 nmの誘電層に対して、HfイオンあるいはZrイオンの、例えば $5 \times 10^{14} \text{ cm}^{-2}$  から  $5 \times 10^{15} \text{ cm}^{-2}$  までの、高添加量が約2 KeVの、あるいはこれより少ない注入エネルギーで導入される。添加量と低エネルギーのこの組合せは、表面26に沿って注入された種27の濃度を最小化するために望ましいものである。すなわち、注入量は結果的に、層22の中間部分28においてHfあるいはZrが比較的高濃度に、上表面24に沿った層22の上表面領域30において種が比較的低濃度に、そして、底表面26に沿った層22の底表面領域32において種が比較的低濃度となるべきである。初めに、注入量は、表面24と表面26との間の層22あたりを中心とするエラー関数分布を有する。これを、図3のカーブ40にて示している。ここで、上表面24と底表面26間の変位の関数として種27の相対濃度を表している。より低い注入エネルギーは分布のピークを上表面24の近くにおく。

【0013】注入層22には、例えば700℃で10分間といった速い熱アニールがなされる。それにより、熱拡散は注入種27のプロファイルを変え、よりガウス分布のように現れる。これを、上表面24から底表面26への変位の関数として種27の相対濃度を表して、図3のカーブ42にて示している。種の拡散は、層22の中間領域28全体（例えば3.5 nmから4.5 nm）と、おそらく表面領域30の部分の化学合成を変えるのに十分な継続時間のものである。種は表面領域30と表面領域32へとさらに拡散するが、注入量、注入エネルギー、およびアニール時間との組合せにより、層22の表面26には種を全く拡散させない。図の種27の分布は上表面24と底表面26との間を中心としているが、注入エネルギーあるいは拡散時間は、表面24と表面26に関してガウス分布に変位するよう調整される。

【0014】注入種による制限された拡散の結果、二酸化ケイ素層22とシリコン層10（すなわち、表面26）間の界面は種27による影響を最小限受ける。よつ

て、高品質酸化膜-シリコン界面が達成される。一方、層22の重要な部分は種27の十分な濃度から成り、層22の純誘電定数を増加させる。

【0015】酸化膜-シリコン界面へのマイグレーションは、デバイスのパフォーマンスに逆の影響を及ぼすことから、望ましい実施形態においては、種27の拡散を制限する。より一般的に、本発明の他の実施形態においては、誘電体-半導体界面に拡散しない、およびデバイスのパフォーマンスに逆の影響を及ぼさない種を含む。これは、化合物半導体材料あるいはシリコン非含有半導体材料上に形成される集積回路に関して事実となる。

【0016】例えば注入あるいは固体ソース拡散により種27が導入された後、シリコン酸化膜層22の誘電定数を上げるため、ポリシリコンゲート導体層が（例えば、減圧化学気相成長により）層22上に置かれる。これに続き、パターニング、エッチング、およびシリサイディング(siliciding)が行われ、領域12aおよび領域14a上にゲート構造48を形成する。図4は、Pチャネルトランジスタ50およびNチャネルトランジスタ52を示しており、その各々がゲート構造48を有している。各ゲート構造は、ポリシリコン層から形成された従来の導体層56を含んでいる。蒸着されたポリシリコンはボロンもしくはリンを含み、固体ソース拡散により、Pウェル領域12aにおいてP型ソース/ドレイン領域58、および、Nウェル領域14aにおいてP型ソース/ドレイン領域60を後に作り出す。層22内の種27の拡散は、ソース/ドレイン領域におけるドーパントの拡散と同時に生じる。しかし、外方拡散によるドーピングの代わりに、ソース/ドレイン領域は、リンおよびボロンの注入により確定されることが望ましい。図示のゲート構造48はまた、既知の技術に基づいて導体層56に形成された、例えばWSiのような低シート抵抗シリサイド層59を含む。

【0017】図4はまた、領域12b上に形成されたP型MOSキャパシタ64、およびP領域14b上に形成されたN型MOSキャパシタ66を示している。各キャパシタの誘電体70は層22から形成され、高kキャパシタを提供する。典型的なキャパシタ64およびキャパシタ66の他のフューチャは従来の製造方法に従う。例えば、シリコン層10は領域12bにおいて重ドーブP型、および領域14bにおいて重ドーブN型である。これは、例えば層22の形成に先立ちソース/ドレイン領域58および60を限定すると同時の、イオン注入により達成され、キャパシタ64に第一P型導電プレート74を、そしてキャパシタ66に第一N型導電プレート76を形成する。

【0018】CMOSソース/ドレイン領域58およびCMOSソース/ドレイン領域60と、第一プレート74および第一プレート76の同時の形成は従来技術によるものであり、誘電層22の熱成長に先立ち、ダミーゲ

10

20

30

40

50

ートが形成されることにより達成される。ゲート導体層に対して蒸着された同一ポリシリコン材料はさらに層22上でパターンニングされ、キャパシタ64およびキャパシタ66それぞれの第二導電プレート78を確定する。

【0019】図4に示すように、ゲート構造48はそれぞれ側壁酸化膜フィラメント80（一般に $\text{SiO}_2$ 上の $\text{Si}_3\text{N}_4$ ）を含んでいる。従来の製造ステップにより形成されたシリコン窒化膜層82はゲート構造48と、キャパシタ64および66上に蒸着され、デバイスを分離させる。コンタクト（図示せず）がWおよびWSiから形成され、諸導電部分56、58、74、76と上にある配線（図示せず）間の接続を可能にする。また、導電プレート78はシリサイド層59も含む。

【0020】本発明のまた別の実施形態においては、HfおよびZr以外の種を単独で、あるいは組合せで供給するステップを含み、層22の誘電特性を修正する。適合する材料としてはBa、Ta、Sr、N、およびTiと、これらの組合せが含まれる。また、種27の導入は熱成長二酸化シリコン層22の形成に先立って行われることを意図する。酸化膜-シリコン界面に対して、種27の拡散を制限するために、再酸化が続いて行われる、おそらく部分成長酸化膜層への種27の蒸着により、二酸化シリコンの熱成長前あるいは熱成長中に、注入あるいは他の種の混入を行うことが出来る。また、最適な熱拡散特性を有する種27を半導体層10のエピタキシャル形成中に導入することを意図する。

【0021】本発明により、図示の例とは異なるキャパシタを形成することも可能である。例えば、二酸化シリコン層が（シリコンの蒸着あるいは熱酸化により）ポリシリコン層上に形成され、例えば注入により、次にHf

あるいはZrといった種が混入される誘電層を形成する。

【0022】本発明について、ほんのわずかの実施形態において説明を行ってきたが、ここに開示された原理により、様々な半導体構造における、様々な方法により本発明を実行する基礎が提供される。上記の方法により形成されたゲート誘電層およびキャパシタ誘電層は、比較的高い誘電定数を可能にし、デバイス性能を改善する。注入により、HfあるいはZrが混入される層22に関して、6nm層（フリースペースに比較して）の誘電定数は15から25の範囲になることが予期されるが、30を超過する場合もあろう。一般的に、本発明により形成された絶縁体層は、5よりも大きい誘電定数を示し、そして、半導体層に使用される例えば、 $\text{Si}_3\text{N}_4$ あるいは $\text{SiO}_2$ といったような従来材料にて達成し得たそれよりも大きい誘電定数を示す。ここでは記載を行わなかったが、本発明による他の構造もまた、本発明の範囲を逸脱することなく具体化できることは当業者にとって明らかである。図面と本文において、同一符号は同様の構成部分を示す。また、図中記載のフューチャは計測されたものではない。

#### 【図面の簡単な説明】

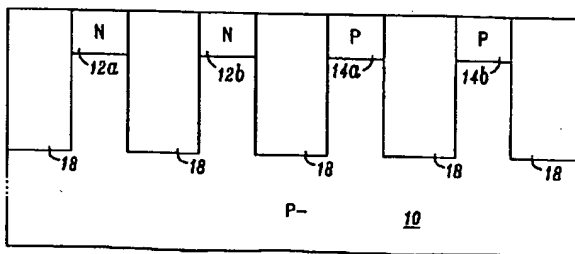
【図1】本発明の一実施形態によるデバイス製造の初期ステージにおける半導体構造の部分断面図である。

【図2】本発明による、図1に後続する処理におけるその構造を示した部分断面図である。

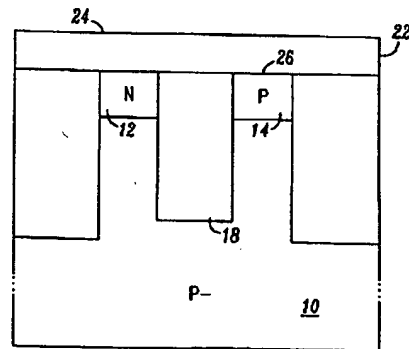
【図3】半導体デバイスを形成するためにさらなる処理を行った後の図2の構造の詳細図である。

【図4】本発明を取り込んで部分的に完成された集積回路構造を示した部分断面図である。

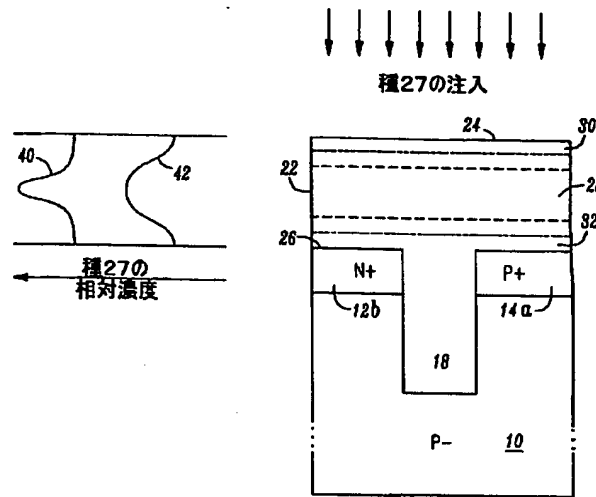
【図1】



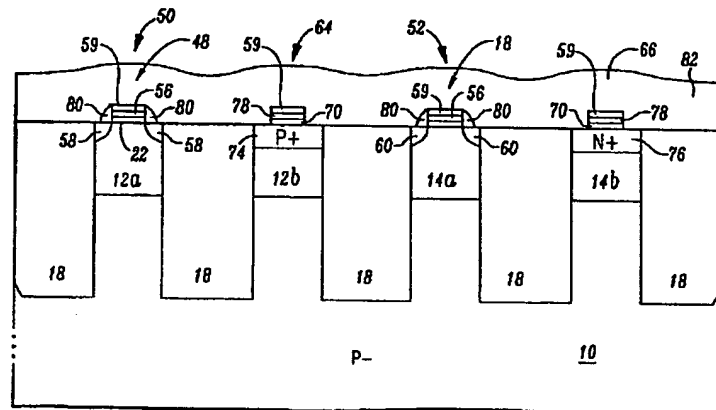
【図2】



【図 3】



【図 4】



フロントページの続き

(51) Int. Cl. <sup>7</sup>

27/092

29/78

識別記号

F I

27/08

321

D

ターマコード (参考)

(72) 発明者 コンスタンティン ケー. バーデル  
アメリカ合衆国 32837 フロリダ, オー  
ランド, レイク キャラベイ ドライヴ  
4570

(72) 発明者 ユアニン チェン  
アメリカ合衆国 32837 フロリダ, オー  
ランド, ブルックマイラ ドライヴ 3852



Fターム(参考) 5F038 AC03 AC05 AC16 AC18 EZ20  
5F048 AA07 AC03 AC10 BA01 BB05  
BB08 BB11 BE03 BF01 BF03  
BF06 BF11 BG14  
5F058 BA11 BA20 BC02 BC04 BH01  
BH15 BJ01  
5F140 AA24 AB03 AB09 AC39 BA01  
BD06 BD15 BD17 BE01 BE07  
BE09 BE13 BE15 BE16 BF04  
BF11 BF18 BG08 BG14 BG28  
BJ07 BJ11 BJ18 BJ27 BK13  
BK15 BK16 BK29 CB04 CB08  
CC08